

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

16429085

Basic Patent (No,Kind,Date): JP 2000269331 A2 20000929 <No. of Patents:
002>

MANUFACTURE FOR SEMICONDUCTOR DEVICE (English)

Patent Assignee: NIPPON ELECTRIC CO

Author (Inventor): USAMI TATSUYA; AOKI HIDEMITSU

IPC: *H01L-021/768; H01L-021/28; H01L-021/304

Derwent WPI Acc No: *C 01-150686; C 01-150686

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 2000269331	A2	20000929	JP 9970436	A	19990316	(BASIC)
JP 3254678	B2	20020212	JP 9970436	A	19990316	

Priority Data (No,Kind,Date):

JP 9970436 A 19990316

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

06683502 **Image available**

MANUFACTURE FOR SEMICONDUCTOR DEVICE

PUB. NO.: 2000-269331 [JP 2000269331 A]

PUBLISHED: September 29, 2000 (20000929)

INVENTOR(s): USAMI TATSUYA

 AOKI HIDEMITSU

APPLICANT(s): NEC CORP

APPL. NO.: 11-070436 [JP 9970436]

FILED: March 16, 1999 (19990316)

INTL CLASS: H01L-021/768; H01L-021/28; H01L-021/304

ABSTRACT

PROBLEM TO BE SOLVED: To prevent a via resistance failure due to a deposition on a side wall, or the like of a minute wiring by a method wherein, when a minute hole and groove are etched into an insulation interlayer film, the deposition generated secondarily and fine particles having an adhesive property are buried in the hole or groove, and thereafter the fine particles are removed by aerosol cleaning.

SOLUTION: A first metal wiring 101 and a plasma SiO₂ film 102 are formed on a semiconductor substrate. Thereafter, a photoresist 103 remained behind by an oxygen plasma is removed. At this time, the photoresist 103 is eliminated, but a great amount of depositions 104 are formed in a side wall processing the plasma SiO₂ film 102. Next, polystyrene(PSL) 105 is dripped down in water, and a wafer substrate is dipped in the container. At this time, a PSL 105 enters evenly into fine holes, and is left behind a little bit in the other flat parts. Next, if argon aerosol cleaning is made, a part of the minute holes of the PSL 105 is adhered to a deposition 105, projecting together, and further the PSL 105 in the flat part is fully removed.

COPYRIGHT: (C)2000, JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-269331
(P2000-269331A)

(43)公開日 平成12年9月29日(2000.9.29)

(51)Int.Cl. ⁷	識別記号	F I	テマコード(参考)
H 0 1 L 21/768		H 0 1 L 21/90	A 4 M 1 0 4
21/28		21/28	L 5 F 0 3 3
21/304	6 2 2	21/304	6 2 2 D

審査請求 有 請求項の数 2 O L (全 5 頁)

(21)出願番号 特願平11-70436

(22)出願日 平成11年3月16日(1999.3.16)

(71)出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者 宇佐美 達矢

東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 青木 秀充

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74)代理人 100065385

弁理士 山下 穰平

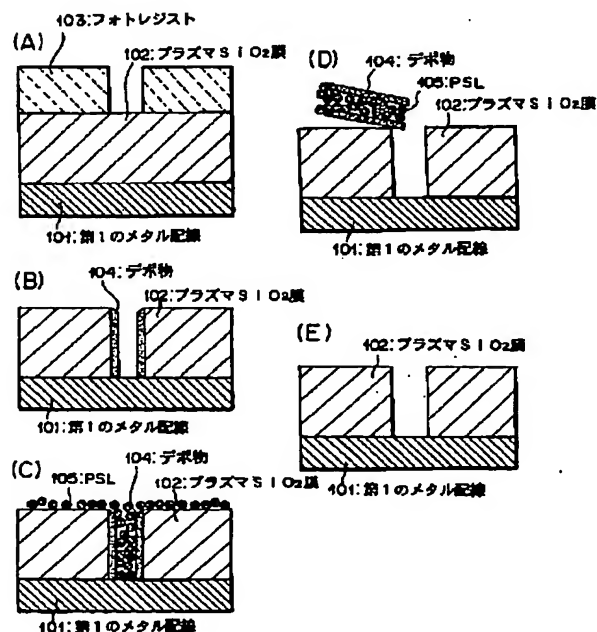
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 微細な絶縁層間膜の開孔および溝の加工後、エッチングデポ物が開孔または溝部に堆積してそれを除去できず、抵抗不良などが起こる。

【解決手段】 エッチングデポ物を除去する工程を備えた半導体装置の製造方法において、絶縁層間膜に微細な孔および溝をエッチングにより形成し、そのエッチング時に副次的に発生するデポ物と付着性のある微粒子を孔または溝に埋設し、その後、エアゾールクリーニングで微粒子を孔または溝より除去することを特徴とする。



【特許請求の範囲】

【請求項1】 エッチングデポ物を除去する工程を備えた半導体装置の製造方法において、絶縁層間膜に微細な孔および溝をエッチングにより形成する工程と、そのエッチング時に副次的に発生するデポ物と付着性のある微粒子を孔または溝に埋設する工程と、その後、エアロゾルクリーニングで前記微粒子を前記孔または溝より除去する工程と、を含むことを特徴とする方法。

【請求項2】 前記微粒子がポリスチレンまたはシリカスラリーである請求項1に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、エッチングデポ物を除去する工程を備えた半導体装置の製造方法において、エッチングデポ物を有効に除去する方法に関する。

【0002】

【従来の技術】 半導体装置は微細化が日々進み、特に微細加工に関してはその加工の困難さに加え、その加工時に発生するデポ物による歩留まり低下が大きな問題となってきた。微細加工では、エッチング時にデポ物を積極的に側壁に堆積しながら行う加工方法が主流となってきたため、特にその剥離技術は困難になっている。

【0003】 またエッチングのデポ物を除去する方法として、酸素プラズマアッシングやウェット剥離などの技術が従来より使われているが、特に低誘電率膜などの中に酸素プラズマアッシングやウェット剥離などに弱いものが存在し、従来よりデポ物除去に有望であった方法も使用できなくなる場合が多い。

【0004】 これらの技術動向などにより、加工時のデポ物を酸素アッシングやウェット剥離などによる方法以外の技術開発が待たれている。

【0005】

【発明が解決しようとする課題】 以下に従来の半導体装置の製造方法を図3を参照して示す。

【0006】 まず、トランジスタなどを含む半導体基板（図示せず）に第1のメタル配線301を形成する。次にその上にプラズマSiO₂膜302を形成し、平坦化のためにCMP（化学的機械研磨）を行う。続いてフォトレジスト303をパターンニングする。そのフォトレジストをマスクにして、プラズマSiO₂膜302の加工を行う。その後、酸素プラズマにより残ったマスク用のフォトレジストを除去する。

【0007】 このとき、フォトレジストはなくなっているが、プラズマSiO₂膜の加工された側壁には、デポ物304が大量に形成されている。その後ウェット剥離による処理によりデポ物を除去するが、デポ物は完全には除去できず、無視できない量のデポ物304が残っているのが実状である。この残ったデポ物304は、その後のビア抵抗不良などを引き起こす原因となっている。

【0008】 また低誘電率膜としてHSQ膜を用いた例を図4に示す。

【0009】 まず、トランジスタなどを含む半導体基板（図示せず）にダマシン構造の第1のメタル配線401を形成する。次にその上にHSQ膜402を塗布・焼成して約400nmの厚さに形成後、プラズマSiO₂膜403を形成し、続いてフォトレジスト404をパターンニングする。このフォトレジストをマスクにして、プラズマSiO₂膜403およびHSQ膜402をエッチング加工し孔を形成する。

【0010】 このとき、マスクのフォトレジスト404はやや残っており、デポ物405が堆積している。その後、酸素プラズマアッシングにより、残ったフォトレジストを除去するが、この時、低誘電率膜のHSQも酸素プラズマアッシングにより劣化してしまう。またデポ物405も完全には除去できないため、これが以後のメタル埋設の工程で成膜時の脱ガスにより埋設不良を発生させることになっている。またHSQの劣化は、低誘電率膜の機能を低下させ、配線間容量の低減は実現されない。

【0011】

【課題を解決するための手段】 本発明は、エッチングデポ物を除去する工程を備えた半導体装置の製造方法において、絶縁層間膜に微細な孔および溝をエッチングにより形成する工程と、そのエッチング時に副次的に発生するデポ物と付着性のある微粒子を孔または溝に埋設する工程と、その後、エアロゾルクリーニングで前記微粒子を前記孔または溝より除去する工程と、を含むことを特徴とする方法を提供する。

【0012】 本発明によれば、微細な絶縁層間膜の開孔および溝の加工後、炭素系ポリマーと付着力のある微粒子を開孔または溝に埋設し、その後、エアロゾルクリーニングで、その微粒子を開孔および溝より、除去する方法を用いているため、微細配線の側壁などに付着したデポ物によるビア抵抗不良などを防止することができる。

【0013】

【発明の実施の形態】 本発明の第1の実施の形態について図面を参照して説明する。

【0014】 図1-Aにおいて、まず、トランジスタなどを含む半導体基板（図示せず）に第1のメタル配線101を形成する。次にその上にプラズマSiO₂膜102を形成し、平坦化のためにCMP（化学的機械研磨）を行う。続いてフォトレジスト103をパターンニングし、そのフォトレジストをマスクにして、プラズマSiO₂膜102の加工を行う。

【0015】 その後、酸素プラズマにより、残ったマスク用のフォトレジスト103を除去する。このときフォトレジストはなくなっているが、プラズマSiO₂膜102の加工された側壁にはデポ物104が大量に形成されている（図1-B）。

【0016】 次にポリスチレン（PSL）105を水中に滴下し、その容器中にそのウエハ基板を浸す。この時、PSL1

05は微細孔には万遍なく入り込み、また、その他の平坦部分には少し残った状態となる(図1-C)。

【0017】次にアルゴンエアロゾルクリーニングを行うと、PSL105の微細孔部分は側壁のデボ物104に付着しながらこれと一緒に飛び出し、さらに平坦部のPSLはきれいに除去される(図1-D)。この方法によりビアの側壁デボ物をほぼ除去することが可能となる(図1-E)。

【0018】ここでアルゴンエアロゾルクリーニングとは、まず液体窒素もしくは冷凍機を用いてArガスを予備冷却し、ノズルから減圧空間に噴出することで断熱膨張させて、固体化したAr微粒子を含む流体(アルゴンエアロゾル)を生成させ、これを前記の固体化した微粒子をウエハに吹きつけることで、ウエハ上の粒子汚染や側壁堆積膜を除去するクリーニング方法である。

【0019】図5にアルゴンエアロゾル洗浄装置の概略図を示す。ウエハステージを噴出ノズルに対して前後運動させることによって、ノズルから噴出されるArエアロゾルをウエハ全面に吹きつける方式である(特開平6-283488号公報)。棒状のノズル装置505は、ウエハ508の運動方向に対してほぼ垂直に配置されている。噴出ノズル505aから噴出したArエアロゾルは、加速ノズル504から噴出されたN₂ガスによって噴出速度を高め、ウエハ508上に付着している汚染物507を弾き飛ばす。本例における汚染物507は、図1に示したデボ物104、PSL粒子105に相当し、これらは脱離した後、ウエハ508に対してほぼ水平方向に除去される。洗浄室506も圧力は0.05~0.3kg/cm²に保つことが望ましく、Arエアロゾルは200~400m/sec程度の速度に加速してウエハに照射することが望ましい。

【0020】次に本発明の第2の実施の形態について説明する。

【0021】まず、トランジスタなどを含む半導体基板(図示せず)にダマシン構造の第1のメタル配線201を形成する。次にその上にHSQ膜202を塗布・焼成して約400nmの厚さに形成後、プラズマSiO₂膜203を形成し、続いてフォトレジスト204をパターンニングする。このフォトレジストをマスクにして、プラズマSiO₂膜203およびHSQ膜202をエッチング加工し孔を形成する(図2-A)。

【0022】このとき、マスクのフォトレジスト204はやや残っており、デボ物205が堆積している(図2-B)。

【0023】フォトレジスト204が残った状態で、シリカスラリー206を水中に滴下し、その容器中にそのウエハ基板を浸す。この時、シリカスラリー206は微細孔には万遍なく入り込み、また、その他の平坦部分には少し残っている(図2-C)。

【0024】次にアルゴンエアロゾルクリーニングを行うと、シリカスラリー206は微細孔部分は側壁のデボ物と付着しながら飛び出し、かつ平坦部はフォトレジスト

とシリカスラリーはなくなってしまう(図2-E)。

【0025】この方法によりHSQ膜の特性に損傷を与えずに、ビアの側壁デボ物206をほぼ除去することが可能である。

【0026】

【発明の効果】以上に説明したように本発明によれば、エッチング加工により付着した加工部側壁のデボ物を効果的に除去することができる。また、低誘電率膜などの酸素プラズマ処理に弱い層間絶縁膜を使用した場合、酸素プラズマやウェット剥離などの工程を用いる必要がないという効果が得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態における半導体装置の製造方法を示す工程断面図。

【図2】本発明の第2の実施の形態における半導体装置の製造方法を示す工程断面図。

【図3】従来の第1の半導体装置の製造方法を示す工程断面図。

【図4】従来の他の製造方法を示す工程断面図。

【図5】アルゴンエアロゾルクリーニング装置の概略説明図。

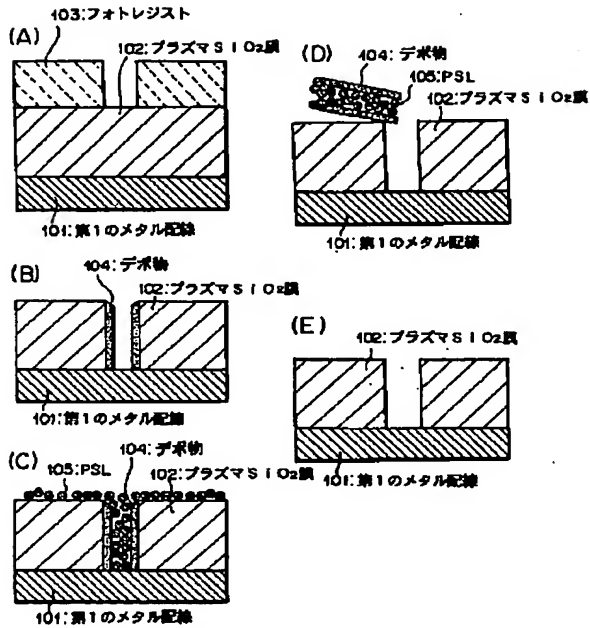
【符号の説明】

- 101 第1のメタル配線
- 102 プラズマSiO₂膜
- 103 フォトレジスト
- 104 デボ物
- 105 PSL
- 201 第1のメタル配線
- 202 HSQ膜
- 203 プラズマSiO₂膜
- 204 フォトレジスト
- 205 デボ物
- 206 シリカスラリー
- 301 第1のメタル配線
- 302 プラズマSiO₂膜
- 303 フォトレジスト
- 304 デボ膜
- 401 第1のメタル配線
- 402 HSQ膜
- 403 プラズマSiO₂膜
- 404 フォトレジスト
- 405 デボ物
- 406 HSQ劣化層
- 501 Arガスソース
- 502 N₂ガスソース
- 503 冷却システム
- 504 加速ノズル
- 505 棒状ノズル装置
- 505a 噴出ノズル
- 506 洗浄室

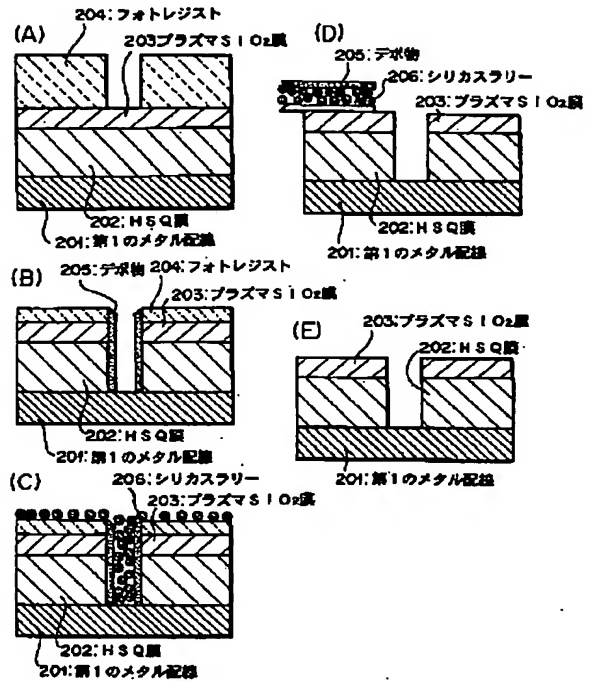
507 汚染物

508 被処理基板 (ウエハ)

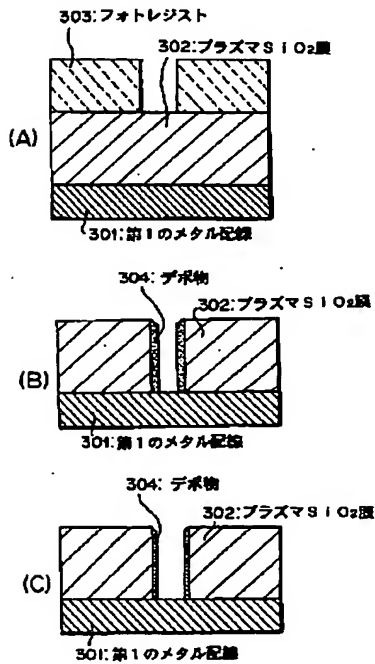
【図1】



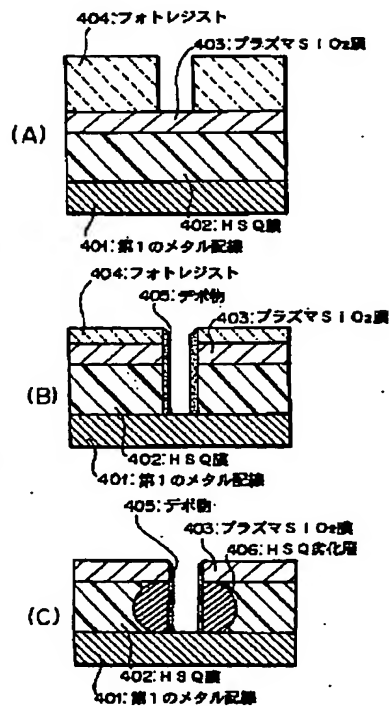
【図2】



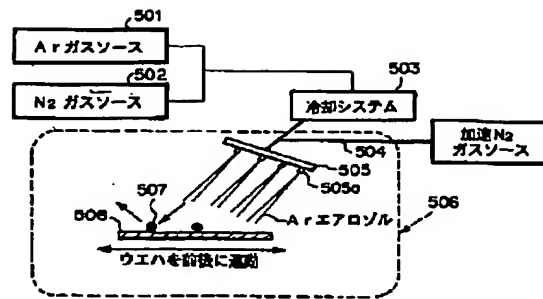
【図3】



【図4】



【図5】



フロントページの続き

Fターム(参考) 4M104 CC01 DD07 DD16 DD20 DD22
EE18 HH15
5F033 QQ11 QQ37 QQ48 QQ92 RR04
SS15 XX21